

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-299362

(43)Date of publication of application : 12.11.1993

(51)Int.CI.

H01L 21/205  
C30B 23/08  
H01L 27/12

(21)Application number : 04-106248

(22)Date of filing : 24.04.1992

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(72)Inventor : NISHINE SHIRO

## (54) MANUFACTURE OF WAFER FOR SEMICONDUCTOR ELEMENT AND SEMICONDUCTOR ELEMENT ITSELF

## (57)Abstract:

**PURPOSE:** To manufacture the semiconductor element at high yield by a method wherein a buffer layer comprising lamellar compound having excellent cleavage strength is provided between a deposition substrate and an actuation layer so as to easily release the actuation layer only to be recovered without damaging the same at all.

**CONSTITUTION:** A buffer layer 2 comprising lamellar compound having excellent cleavage strength is provided on a depositing substrate 1. Next, an actuation layer 3 is formed. The title semiconductor element is formed of the actuation layer 3 using fine processing technology. At this time, due to the buffer layer 2 comprising inter-layers thereof coupled with one another by van der Waals' force, the depositing substrate 1 can be easily released from the actuation layers 3 by the cleavage strength. That is, the depositing substrate 1 can be released by sticking an adhesive tape to the actuation layer 3 or the depositing substrate itself. Furthermore, when the lamellar compound of the buffer layer 2 is left on the actuation layer 3, the residual lamellar compound can be perfectly removed by repeatedly releasing said compound using the same adhesive tape.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-299362

(43) 公開日 平成5年(1993)11月12日

(51) Int.Cl.<sup>5</sup>  
H 01 L 21/205  
C 30 B 23/08  
H 01 L 27/12

識別記号 庁内整理番号  
M 9040-4G  
B

F I

技術表示箇所

審査請求 未請求 請求項の数3(全3頁)

(21) 出願番号 特願平4-106248

(22) 出願日 平成4年(1992)4月24日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 西根 士郎

大阪市此花区島屋一丁目1番3号 住友電  
気工業株式会社大阪製作所内

(74) 代理人 弁理士 内田 明 (外2名)

(54) 【発明の名称】 半導体素子用ウエハ及び半導体素子の製造方法

(57) 【要約】

【目的】 動作層を破損することなく、成長基板から動作層のみを容易に除去することのできる半導体素子用ウエハ及び該ウエハを使用して半導体素子を高い歩留りで製造することのできる方法を提供しようとするものである。

【構成】 成長基板と動作層の間に劈開性の優れた層状化合物からなる緩衝層を備えたことを特徴とする半導体素子用ウエハ、及び、成長基板上に劈開性の優れた層状化合物からなる緩衝層を形成し、該緩衝層上に動作層をエピタキシャル成長した後、上記動作層と成長基板を剥離し、半導体素子用支持基板に接合することを特徴とする半導体素子の製造方法である。



1

## 【特許請求の範囲】

【請求項1】 成長基板上にエピタキシャル動作層を有する半導体素子用ウエハにおいて、成長基板と動作層の間に劈開性の優れた層状化合物からなる緩衝層を備えたことを特徴とする半導体素子用ウエハ。

【請求項2】 エピタキシャル動作層を有する半導体素子の製造方法において、成長基板上に劈開性の優れた層状化合物からなる緩衝層を形成し、該緩衝層上に動作層をエピタキシャル成長した後、上記動作層と成長基板を剥離し、半導体素子用支持基板に接合することを特徴とする半導体素子の製造方法。

【請求項3】 エピタキシャル動作層を有する半導体素子の製造方法において、成長基板上に劈開性の優れた層状化合物からなる緩衝層を形成し、素子形成領域以外の該緩衝層の一部を少なくとも除去して成長基板を露出させ、該成長基板の露出部分及び該緩衝層上に動作層をエピタキシャル成長させた後、素子形成領域のみを切断して取り出し、素子領域の動作層を成長基板から剥離し、半導体素子用支持基板に接合することを特徴とする半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、化合物半導体の成長基板を有しない高出力半導体素子、赤外撮像素子などに適した半導体素子用ウエハ及び半導体素子の製造方法に関する。

## 【0002】

【従来の技術】 従来、半導体素子に用いられるエピタキシャルウエハは、例えばサイエンスフォーラム「最新化合物半導体ハンドブック」(昭和57年7月10日発行)第313~323頁に示されているように、基板上に成長基板と同一結晶構造の緩衝層と動作層を積層した構造からなっている。この素子は、素子の熱抵抗を低減するためには、成長基板及び緩衝層を可能な限り薄くするか、完全に除去する必要がある。また、赤外撮像素子においては、上記ハンドブック第349~350頁に示されているように、光の吸収層となる基板を完全に除去する必要がある。

## 【0003】

【発明が解決しようとする課題】 従来、この種のエピタキシャルウエハは、動作層、緩衝層及び成長基板が同一の結晶構造で構成されている。図5は、従来のエピタキシャルウエハの断面図であり、化合物半導体成長基板8の上にエピタキシャル成長させた緩衝層9及びさらにエピタキシャル成長させた動作層10からなるウエハである。かかるウエハから動作層を得るために、従来、研磨、あるいはエッティングによって、成長基板、あるいは、緩衝層及び成長基板を動作層から除去していたが、動作層を破損せずに、同一の結晶構造の成長基板、あるいは、緩衝層及び成長基板を均一に除去することは極め

10

2

て困難であった。そこで、本発明は、上記の欠点を解消し、動作層を破損することなく、成長基板を除去することができる半導体素子用ウエハ及び該ウエハを使用する半導体素子の製造方法を提供しようとするものである。

## 【0004】

【課題を解決するための手段】 本発明は、(1) 基板上にエピタキシャル動作層を有する半導体素子用ウエハにおいて、基板と動作層の間に劈開性の優れた層状化合物からなる緩衝層を備えたことを特徴とする半導体素子用ウエハ、(2) エピタキシャル動作層を有する半導体素子の製造方法において、基板上に劈開性の優れた層状化合物からなる緩衝層を形成し、該緩衝層上に動作層をエピタキシャル成長した後、上記動作層と基板を剥離し、新たな基板に接合することを特徴とする半導体素子の製造方法、及び、(3) エピタキシャル動作層を有する半導体素子の製造方法において、成長基板上に劈開性の優れた層状化合物からなる緩衝層を形成し、素子形成領域以外の該緩衝層の一部を少なくとも除去して成長基板を露出させ、該成長基板の露出部分及び該緩衝層上に動作層をエピタキシャル成長させた後、素子形成領域のみを切断して取り出し、素子領域の動作層を成長基板から剥離し、半導体素子用支持基板に接合することを特徴とする半導体素子の製造方法である。なお、緩衝層として用いる上記の劈開性の優れた層状化合物は、層間をファンデアワールス力(分子性結合力)で結合するものであることが好ましく、具体的にはMoS<sub>2</sub>、NbS<sub>2</sub>、MoSe<sub>2</sub>、NbSe<sub>2</sub>、GaSe、SnS<sub>2</sub>、SnSe<sub>2</sub>、InSeなどを挙げることができる。また、成長基板としては、動作層と同一の結晶構造を有する単結晶基板を使用することが好ましく、基板の結晶方位は(111)面が好ましい。

## 【0005】

【作用】 図1は、本発明の1具体例である半導体素子用ウエハの断面図であり、成長基板1の上に劈開性の優れた層状化合物からなる緩衝層2を設け、次いで、動作層3を形成したものである。半導体素子は、動作層3に微細加工技術で素子を形成する。そして、緩衝層2は、層間がファンデアワールス力で結合されているため、劈開により動作層3から成長基板1を容易に剥がすことができる。この剥離は、動作層3、あるいは、成長基板1に粘着テープを張りつけて機械的に容易に剥がすことができる。また、動作層3に緩衝層2の層状化合物が残る場合は、粘着テープを用いて再度剥離操作を行うことにより、完全に除去することが可能である。このようにして得た動作層3は、ヒートシンクあるいはガラス基板等の半導体素子用支持基板に接合することにより、所望の半導体素子を形成することができる。ヒートシンクは、素子から発生する熱を外部に効率的に放散するためのものであり、熱伝導率の大きな材質が用いられる。絶縁体ではダイヤモンド、ペリリア、アルミナなど、ま

50

た、半導体ではシリコンなど、導電体では金、銀、銅などが使用される。このような半導体素子は、成長基板を全く含まないため、熱抵抗を低減することができ、光吸収層の除去のための研磨やエンチングを行う必要がなく、動作層の破損を回避することが可能になった。

【0006】図2は、本発明の他の具体例である半導体素子用ウエハの平面図であり、図3は、図2のA-A断面図である。成長基板1の上に劈開性の優れた層状化合物からなる緩衝層2を設け、素子形成領域4以外の緩衝層2を微細加工により適当な間隔でエッティングして除去し、緩衝層除去領域5を形成し、次いで、緩衝層除去領域5の成長基板の上及び緩衝層2の上に動作層3を形成する。そして、ダイシング部6に沿って切断して成長基板1、層状化合物緩衝層2及び動作層3からなる素子形成領域4のチップを得る。ここで、緩衝層2は、層状化合物の層間がファンーデアーワールス力で結合されているため、劈開により動作層3から成長基板1を容易に剥がすことができる。即ち、図1と同様に、動作層3を剥離し、図4のように、半導体素子用支持基板7に接合して半導体素子を形成する。

## 【0007】

【実施例】GaAs (111) B面基板上に、MBE法で厚さ100ÅのGaSe緩衝層を成長させ、次いで、同法で厚さ0.1μmのp-AlGaAs窓層、10μmのp-GaAs光吸収層、厚さ0.3μmのn-AlGaAs活性層からなる動作層を成長させた。さらに、

表面にオーミック電極とショットキー電極を形成してCCDイメージセンサーの基本素子を作製した。素子を形成したウエハの表面に樹脂で保護板を張り付け、基板には粘着テープを張り付けて機械的に剥離した。動作層の裏面に緩衝層が残っていたので、再度緩衝層に粘着テープを張り付けて剥離したところ、緩衝層のGaSeを完全に除くことができた。得られた動作層をガラス基板に接合してCCDイメージセンサーの基本素子を形成した。この素子の特性を調べたところ、暗電流は従来の基板をエッティングによって完全に除去して作製した素子と同程度以上であり、遜色がなかった。

## 【0008】

【発明の効果】本発明は、上記の構成を採用することにより、動作層を破損することなく、動作層のみを容易に剥離回収することができ、高品位の半導体素子を高い歩留りで製造することができるようになった。

## 【図面の簡単な説明】

【図1】本発明の1具体例である半導体素子用ウエハの断面図である。

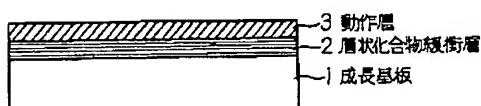
【図2】本発明の他の具体例である半導体素子用ウエハの平面図である。

【図3】図2のA-A断面図である。

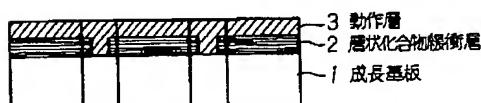
【図4】動作層を半導体素子用支持基板に接合したウエハの断面図である。

【図5】従来の半導体素子用ウエハの断面図である。

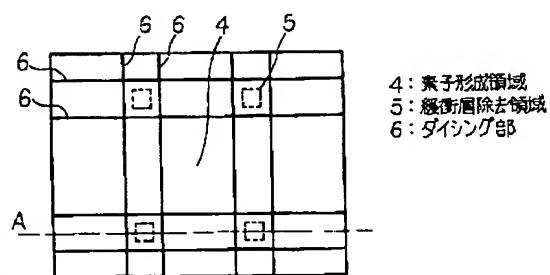
【図1】



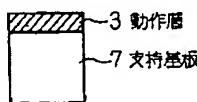
【図3】



【図2】



【図4】



【図5】

